

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-021604

(43)Date of publication of application : 29.01.1993

(51)Int.Cl. H01L 21/82  
H01L 27/04

(21)Application number : 03-194874

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 09.07.1991

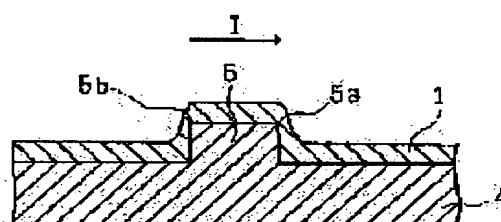
(72)Inventor : SATO YASUO

## (54) STRUCTURE FOR FUSE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To burn out without fail a fuse incorporated in the internal wiring of a semiconductor device, for the purpose of changing a circuit pattern as necessary after manufacture of semiconductor device by a resistive heating method.

**CONSTITUTION:** Steppings 5a and 5b are provided on the base layer of insulating film 4 in the intermediary part of a fuse main body 1, and the film thickness of the fuse main body 1 is thinned off at the steppings 5a and 5b. Resistance is made higher locally on the thin film part of the fuse main body 1, and as heat is concentrated on that part, the fuse main body 1 can be burnt off at the thin film part without increasing so much the resistance of the entire fuse.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

P-2266

(19)日本国特許庁(JP) (12)公開特許公報(A) (11)特許公開番号  
特開平5-21604  
(43)公開日 平成5年(1993)1月29日

(51)Int. Cl. H 01 L 21/82 27/04	識別記号	庁内整理番号	FI	技術表示箇所
	Z	8427-4M		
		7638-4M	F	
		7638-4M	R	

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号	特開平3-194874	(71)出願人	00000855 新日本製鐵株式会社 東京都千代田区大手町2丁目6番3号
(22)出願日	平成3年(1991)7月9日	(72)発明者	佐藤 康夫 相模原市相模野辺5-10-1 新日本製鐵株式会社第2技術研究所内
		(74)代理人	井理士 園分 専説

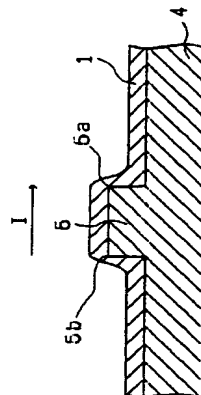
(54)【発明の名称】 半導体装置のヒューズ構造

(57)【要約】

【目的】 半導体装置の製造時に必要に応じてその回路パターンを変更する目的で半導体装置の内部配線に組み込まれて設けられるヒューズを抵抗加熱による方法で確実に熔断する。

【構成】 ヒューズ本体部1の中間部分において、下地の絶縁膜4に段差5a、5bを設け、この段差5a、5bの部分でヒューズ本体部1の断層を導く。

【効果】 ヒューズ本体部1の薄断層で局部的に抵抗が高くなり、その部分に発熱が集中するので、ヒューズ全体の抵抗をそれ程高くしなくても、その薄断層部分でヒューズ本体部1を確実に熔断することができる。



【特許請求の範囲】

【請求項1】 半導体装置の内部配線に組み込まれて設けられ、この半導体装置の回路パターンを変更するために必要に応じて切断されるヒューズであって、ヒューズ本体部とこのヒューズ本体部の両端に設けられた接続用端子電極部とからなる半導体装置のヒューズ構造において、

上記ヒューズ本体部の中間部分において上記ヒューズの下地の絶縁膜に段差が設けられ、この段差部分で上記ヒューズ本体部の断層が導かれていることを特徴とする半導体装置のヒューズ構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の内部配線に組み込まれて設けられ、この半導体装置の回路パターンを変更するために必要に応じて切断されるヒューズの構造に関する。

【0002】

【従来の技術】 例えばアナログICの基準電圧 $V_{ref}$ を出力するための内部基準電圧回路において、その出力レベルを、ヒューズを用いた抵抗トリミング技術によって精度良く制御することが最近行われている。例えば、図2に示すように、内部基準電圧回路の最終出力段に、基準となる抵抗Rの他に、抵抗 $R_1$ 、 $R_2$ 、 $R_3$ 及びヒューズ $F_1$ 、 $F_2$ 、 $F_3$ からなる一種の冗長回路Aを設け、測定の結果、出力基準電圧 $V_{ref}$ に調整があった場合、その冗長回路Aのヒューズ $F_1$ 、 $F_2$ 、 $F_3$ のうち必要なヒューズを切断して、抵抗 $R_1$ 、 $R_2$ 、 $R_3$ の適当な組み合わせを選択し、これにより、出力基準電圧 $V_{ref}$ を正確値に制御する。

【0003】 このような冗長回路Aは、予め半導体装置の内部配線に組み込まれて形成されている。各ヒューズ $F_1 \sim F_3$ は、多結晶シリコン、タンタルシリサイド( $WSi_x$ )、アルミニウム等で構成され、例えば、図3に示すような平面形状を有している。即ち、ヒューズは、切断部である比較的細長のヒューズ本体部1と、このヒューズ本体部1の両端に互角一体的に形成された接続用端子電極部2とからなっている。そして、各接続用端子電極部2により、半導体装置のアルミニウム内部配線に接続されている。

【0004】 このヒューズを切断する場合、一般に、2種類の手法が採られている。1つはレーザービームを用いる方法であり、切断するヒューズのヒューズ本体部1にレーザービームを照射し、このレーザービームによってヒューズ本体部1を熔断する。もう1つの方法は、ヒューズ両端の接続用端子電極部2間に高電圧の熔断電圧を印加し、ヒューズ本体部1を抵抗加熱により加熱して電氣的に熔断する方法である。

【0005】 半導体装置の内部配線に組み込まれて形成されたこれらのヒューズは、当然、パッシベーション膜

で覆われることになるが、上述したレーザービームを用いる場合は勿論、電氣的に熔断する場合でも、酸化したシリコン等を塗布するために、ヒューズ本体部1を覆うパッシベーション膜には開口3が形成される場合が多い。

【0006】

【発明が解決しようとする課題】 ヒューズを抵抗加熱により電氣的に熔断しようとする場合、上述したように、熔断するヒューズ両端の接続用端子電極部2間に高電圧の熔断電圧を印加するが、このヒューズは半導体装置の他の回路部分にもつながっているため、印加する電圧に境界がある。このため、従来の構造は、通常、10〜15Vである。このため、従来の構造のヒューズでは、ヒューズ本体部1が充分に発熱せず、ヒューズを確実に熔断することが難しかった。

【0007】 即ち、図4に従来の構造のヒューズのヒューズ本体部1とその長手方向に沿って切断した断面図面を示すが、従来の構造のヒューズは、平坦な下地の絶縁膜4 (例えば、 $SiO_2$ 、PSG、PSG等) の上に一様な膜厚で形成されていた。このため、ヒューズ本体部1に所定の熔断電圧1を流した時に、ヒューズ本体部1の全体が一様に発熱するため、このヒューズ本体部1を熔断に必要な温度まで加熱することが困難であった。

【0008】 そこで、本発明の課題は、抵抗加熱により電氣的に確実に熔断することが可能な半導体装置のヒューズ構造を提供することである。

【0009】

【課題を解決するための手段】 上記課題を解決するために、本発明では、半導体装置の内部配線に組み込まれて設けられ、この半導体装置の回路パターンを変更するために必要に応じて切断されるヒューズであって、ヒューズ本体部1とこのヒューズ本体部の両端に設けられた接続用端子電極部とからなる半導体装置のヒューズ構造において、上記ヒューズ本体部の中間部分において上記ヒューズの下地の絶縁膜に段差が設けられ、この段差部分で上記ヒューズ本体部の断層が導かれている。

【0010】

【作用】 本発明においては、ヒューズ本体部の中間部分に断層の薄い部分を設けて、その部分で局部的に抵抗を大きくしている。従って、その断層の薄い部分で局部的に発熱量が大きくなり、また、断層を導くことによって、その部分で確実にヒューズ本体部を熔断することができる。

【0011】

【実施例】 以下、本発明を実施例につき主として図1を参照して説明する。

【0012】 図1は、本発明の実施例によるヒューズの断面構造を示す図であり、既述した図4と対応している。このヒューズの平面構造は、図3に示したものと同一である。即ち、ヒューズは、ヒューズ本体部1と、図示しないが、その両端に設けられた接続用端子電極部

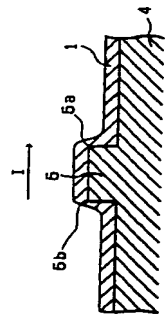
(3)

とを有しており、両端の接続用端部電極部に半導体装置の底面した元反回路Aのアルミニウム内部配線に接続されている。このヒューズは、例えば、多結晶シリコン又はタンダステンシリサイドによって全て一体的に形成されている。

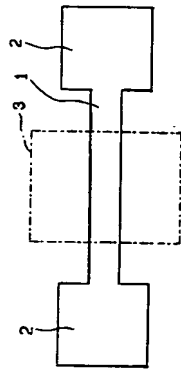
【0013】本実施例においては、図示の如く、ヒューズ本体部1の下地の絶縁膜4に突出部5を設け、この突出部5の角の部分に一方のほぼ垂直な段差5a、5bが形成されるようにしている。この突出部5は、ヒューズ本体部1の少なくとも全幅にわたって、そのヒューズ本体部1をほぼ直角に覆切るように形成される。この突出部5は、絶縁膜4が例えばSiO<sub>2</sub>のような場合、CVD法によって、絶縁膜4と一体的に形成することができ、或いは、絶縁膜4のこの突出部5以外の部分をエッチングすることによって形成しても良い。なお、絶縁膜4と突出部5とは、必ずしも同じ材料で形成される必要はない。例えば、絶縁膜4をPSGやBPSG等のガラス材料で構成した場合には、その上に、SiO<sub>2</sub>のような絶縁材料からなる突出部5を例えばCVD法で形成することができ、この突出部5の大きさは、例えばヒューズ本体部1の全体の厚さが0.5μmの場合、その形成高さが0.3〜0.8μm程度であるのが好ましい。

【0014】上述のような突出部5が形成された絶縁膜4の上にヒューズ本体部1を形成すると、図示の如く、ヒューズ本体部1は、突出部5の角の段差5a、5bの部分で成膜性が悪くなるために、その膜厚が必然的に薄くなり、その部分で局部的に抵抗が高くなる。従って、このヒューズ本体部1に所定の遮断電流Iを流すと、段差5a、5bの部分の膜厚の薄い部分で局部的に発熱量が大きくなり、その部分ではヒューズ本体部1の膜厚が薄いこともあって、その部分でヒューズ本体部1が破壊に遮断される。一方、ヒューズを切断しない場合には、両端の接続用端部電極部に流れ電流が印加されないで、ヒューズ本体部1の薄膜部の影響は殆ど現れない。【0015】なお、図1では、ヒューズ本体部1の上に形成されるパッシベーション膜を図示省略しているが、突出部5は、その段差5a、5bの部分が、図3に示し

【図1】



【図3】



- 【符号の説明】
- 1 ヒューズ本体部
  - 2 接続用端部電極部
  - 4 絶縁膜
  - 5 突出部
  - 5a、5b 段差
  - A 元反回路

る。

【図4】従来のヒューズと下地の絶縁膜の断面図であ

る。

【図2】半導体装置の内部基準電圧回路に設けられた元反回路を示す回路図である。

【図3】ヒューズの平面図である。

【図4】従来のヒューズと下地の絶縁膜の断面図である。

【図面の簡単な説明】

【0016】以上、本発明を一実施例につき説明した

例、上述の実施例では、ヒューズ本体部1の下地の

絶縁膜4に突出部5を設けて一方の段差5a、5bを形

成したが、絶縁膜4に凹部を設けて同様の段差を形成し

ても良い。また、ヒューズ両端の接続用端部電極部の形

成高さが異なっても良いような場合には、段差を1

個だけ設けることも可能である。更に、本発明は、ヒューズ

切断型PROM、DRAM、SRAM等のヒューズ

構造にも適用が可能である。

【0017】

【発明の効果】本発明によれば、半導体装置の製造後に

必要に応じてその回路パターンを変更する目的で半導体

装置の内部配線に組み込まれて設けられるヒューズを抵

抗加熱による電気的な方法で確実に遮断することができ

る。その場合、ヒューズ本体部の薄膜部に発熱が集中し

て、その部分でヒューズ本体部が確実に遮断されるの

で、ヒューズ全体の抵抗はそれほど高くする必要がない。

従って、そのヒューズを切断しないで使用する場合に

も、大きな支障は生じない。

【0018】

【発明の効果】本発明によれば、半導体装置の製造後に

必要に応じてその回路パターンを変更する目的で半導体

装置の内部配線に組み込まれて設けられるヒューズを抵

抗加熱による電気的な方法で確実に遮断することができ

る。その場合、ヒューズ本体部の薄膜部に発熱が集中し

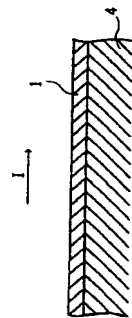
て、その部分でヒューズ本体部が確実に遮断されるの

で、ヒューズ全体の抵抗はそれほど高くする必要がない。

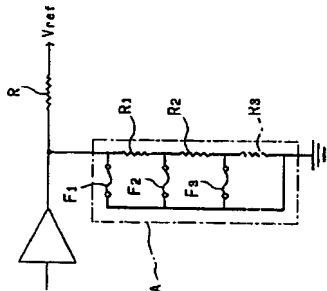
従って、そのヒューズを切断しないで使用する場合に

(4)

【図4】



【図2】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-298093  
(43)Date of publication of application : 26.10.2001

(51)Int.Cl.

H01L 21/82  
H01L 21/3205  
H01L 27/04  
H01L 21/822

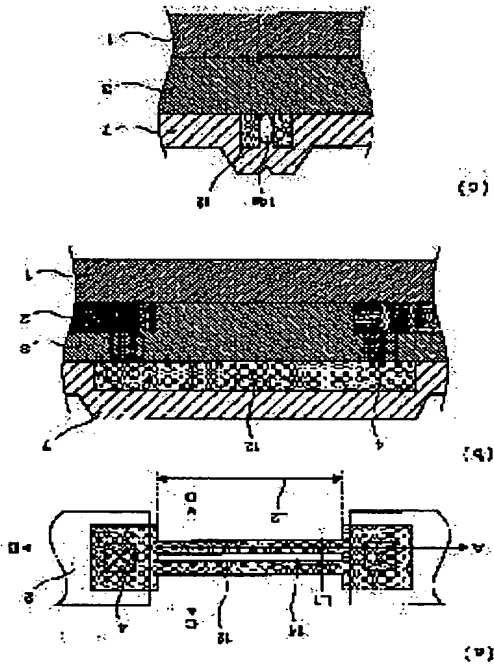
(21)Application number : 2000-115955 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
(22)Date of filing : 18.04.2000 (72)Inventor : MIZOGUCHI SHUJI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device that can suppress splash of melted material when a fuse wiring layer is melted and to reduce continuity between adjacent interconnect lines, and a method of manufacturing the same.

SOLUTION: A fuse wiring layer 12 that can be melted and cut to modify a circuit on a semiconductor substrate is formed. An insulating film 7 is formed on the surface of the fuse wiring layer 12 and a recess portion 14 is formed in the fuse wiring layer 12. The inside of this recess portion 14 is a hollow 14a, wherein the insulating film 7 is not formed.



LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's

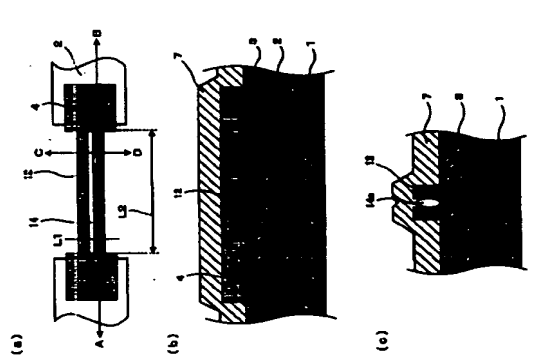
(19) 日本特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号  
特開2001-298093  
(P2001-298093A)  
(43) 公開日 平成13年10月28日 (2001.10.28)

(51) IntCl <sup>7</sup>	優先配号	PI	チーエーエー(参考)
H01L 21/82	21/82	H01L 21/82	F 5F033
21/2305	21/88	21/88	A 5F038
27/04	27/04	27/04	V 5F064
21/822			

(21) 出願番号	特開2000-115555(P2000-115555)	(71) 出願人	00005521 松下電器産業株式会社
(22) 出願日	平成12年4月18日 (2000.4.18)	(72) 発明者	松下電器産業株式会社 大阪府東淀川区東1丁目1番1号 松下電子工業株式会社内
		(74) 代理人	100068087 弁護士 森本 健弘

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】  
【課題】 ヒューズ配線層の溶融切断時における溶融材料の飛散を抑え、その飛散による回路の導通を防止する半導体装置およびその製造方法を提供する。  
【解決手段】 半導体装置に回路修正のために溶融切断できるヒューズ配線層12を形成する。ヒューズ配線層12の表面には絶縁膜14を形成し、ヒューズ配線層12には凹部14aを形成する。この凹部14aの内面は絶縁膜17が形成されていない空洞14aである。



形成されたメタル配線層を利用して形成されており、形成されたヒューズ配線層にレーザー光を照射して溶融切断することにより、回路修正が行われている。

【0004】図5は、従来の冗長回路用ヒューズを示す。図5(a)は冗長回路用ヒューズの平面図、図5(b)はA-B断線に沿う断面図、図5(c)はC-D断線に沿う断面図をそれぞれ示す。

【0005】半導体素子が形成された半導体基板には第1の層間絶縁膜1が形成されており、第1の層間絶縁膜1の上には下層メタル配線層2と上層メタル配線層3の間にヒューズ配線層5が形成されている。ヒューズ配線層5のヒューズパターン2の両端には接続孔4が形成されており、この接続孔4を介してヒューズ配線層5と下層メタル配線層2とが導通され、冗長回路用ヒューズの外面に形成された集積回路内部(図示せず)に接続される。

【0006】3は第2の層間絶縁膜、7は半導体集積回路の最終的な保護絶縁膜である。上記のように構成された冗長回路用ヒューズは、図6(a)~(c)に示す手順にて製造される。なお、図6(a)~(c)は、図5(a)のC-D線に沿う断面図である。

【0007】図6(a)に示すように、半導体素子が形成された半導体基板には、第1の層間絶縁膜1と第2の層間絶縁膜3が形成されており、第2の層間絶縁膜3の上には、後にヒューズ配線層5となるメタル配線層5aが形成されている。メタル配線層5aには、ヒューズ配線層5を形成するためのフォトレジストパターン6が形成される。

【0008】メタル配線層5aはフォトレジストパターン6により選択的にエッチングされ、図6(b)に示すように、ヒューズ配線層5のヒューズパターンが形成される。

【0009】そして、図6(c)に示すように、ヒューズ配線層5を覆うように保護絶縁膜7が形成され、冗長回路用ヒューズを有する半導体装置が得られる。この半導体装置の回路切り換えは、図7に示すように、保護絶縁膜7の上からレーザー光16をヒューズ配線層5に照射して溶融切断することにより、不良回路が良品回路に切り換えられる。

【0010】  
【発明が解決しようとする課題】しかしながら、上記のようなヒューズ配線層5の溶融切断を行うと、溶融した配線材料が照射レーザー光16に対して矢印Rで示すように向心方向へと飛散する。

【0011】ヒューズ配線層5は上述のようにメタル配線層5aにて形成されているため、飛散したメタル配線材料の一部が隣接するヒューズ配線層5や集積回路を構成する配線パターンに付着すると、隣接するメタル配線間として導通が生じるという問題がある。特に近年では、集積回路上のメタル配線は一層の微細化が進み、冗

【特許請求の範囲】

【請求項1】半導体基板の上の第1の絶縁膜上に回路修正のために溶融切断できるヒューズ配線層が形成され、前記ヒューズ配線層の表面には第2の絶縁膜が形成され、前記ヒューズ配線層には凹部が形成された半導体装置。

【請求項2】前記凹部は前記第2の絶縁膜が形成されていない空洞である請求項1記載の半導体装置。

【請求項3】前記凹部は、前記ヒューズ配線層の両端付近まで延びるスリット形状である請求項1または請求項2記載の半導体装置。

【請求項4】前記凹部は複数形成され、前記ヒューズ配線層の長手方向に互いに間隔をあけて配列されるときも前記ヒューズ配線層の両端付近まで配列されている請求項1または請求項2記載の半導体装置。

【請求項5】前記凹部は複数形成され、前記ヒューズ配線層の幅方向に互いに間隔をあけて配列されるときも前記ヒューズ配線層の両端付近まで配列されている請求項1または請求項2記載の半導体装置。

【請求項6】前記凹部は複数形成され、前記ヒューズ配線層の長手方向に互いに間隔をあけて配列されるときも前記ヒューズ配線層の幅方向に互いに間隔をあけて配列され、凹部は前記ヒューズ配線層の両端付近まで配列されている請求項1または請求項2記載の半導体装置。

【請求項7】前記ヒューズ配線層は金属膜である請求項1~請求項6のいずれかに記載の半導体装置。

【請求項8】半導体基板上に形成された第1の絶縁膜上にヒューズ配線層を形成する工程と、

前記ヒューズ配線層を選択的にエッチングして凹部を形成する工程と、

前記凹部の内面が空洞になるように前記ヒューズ配線層の表面に第2の絶縁膜を形成する工程とを含む半導体装置の製造方法。

【請求項9】前記第2の絶縁膜を形成する工程で凹部に前記空洞が形成されるように前記凹部を形成する工程では、前記凹部の開口の水平断面のAspect Ratioを調整する請求項8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、レーザー光照射によって溶融して回路切り換えを行う冗長回路用ヒューズを有する半導体装置及びその製造方法に関するものである。

【従来の技術】従来より、半導体装置には、レーザー光照射によって例えば不良回路を切断し、良品回路に切り換えを行うための冗長回路用ヒューズが用いられている。

【0003】冗長回路用ヒューズは、最近では、主として複数の配線層が形成された半導体集積回路の最上層に



(5)

理的に何れのメタル配線層12aにも形成できる。

【0043】また、メタル配線層12aをバリアメタル及びアルミニウム合金膜で構成したが、その他の金属材料も使用できる。また、上記説明では、ヒューズ配線層12を底部までエッチングして凹部14を形成したが、凹部14の底部にヒューズ配線層12が残っている場合もある。

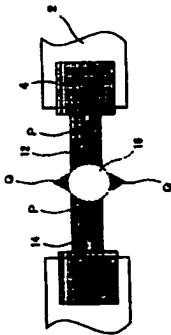
【0044】また、上記のように構成された冗長回路用ヒューズは、具体的には、DRAM (Dynamic Random Access Memory) 、ロジック回路などの半導体集積回路に使用するDRAM部の冗長救済用ヒューズなどとして使用できる。

【0045】

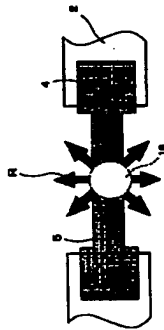
【発明の効果】 以上のように本発明の半導体装置によると、半導体基板上に形成されたヒューズ配線層に凹部を形成することで、レーザー光照射によりヒューズ配線層を溶断断線する際に溶融したメタル配線材料が凹部14の内部へ流れ、飛散しにくくなる。特に凹部の内部が絶縁膜で形成されない空洞となっている場合には、溶融した導電体材料が空洞中に飛散して移動するため非常に効果的である。

【0046】従って、集積回路の小形化により導線回路パターン同士の距離などが短くなっても、それらのショートを防げることができる。また、本発明の半導体装置の製造方法は、半導体基板上に形成された第1の絶縁膜上にヒューズ配線層を形成する工程と、前記ヒューズ配線層を選択的にエッチングして凹部を形成する工程と、前記凹部の内部が空洞になるように前記ヒューズ配線層の表面上に第2の絶縁膜を形成する工程とを含むことを特徴とする。

【図3】



【図7】



特開平13-298093

【0047】この構成によると、容易に本発明の半導体装置を実現できる。

【図面の簡単な説明】

【図1】 本発明の（実施の形態）における冗長回路用ヒューズの平面図および断面図

【図2】 同実施の形態における冗長回路用ヒューズの製造工程を説明する断面図

【図3】 同実施の形態におけるヒューズ配線層のレーザー光による切断を説明する図

【図4】 同実施の形態とは別の冗長回路用ヒューズの例を説明する平面図

【図5】 従来の冗長回路用ヒューズの平面図および断面図

【図6】 従来の冗長回路用ヒューズの製造工程を説明する断面図

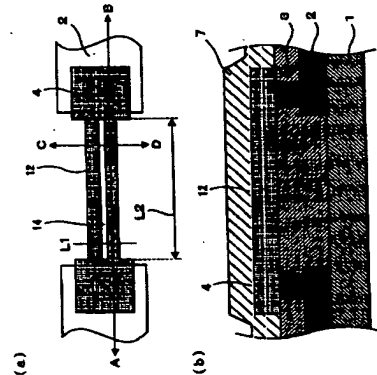
【図7】 従来のヒューズ配線層のレーザー光による切断を説明する図

【符号の説明】

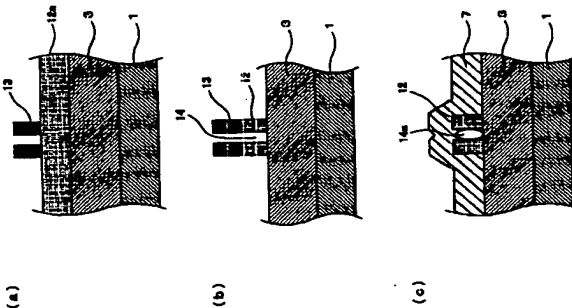
- 1, 3 絶縁絶縁膜
- 2 下層メタル配線層
- 4 接続孔
- 5 ヒューズ配線層
- 5a メタル配線層
- 7 保護絶縁膜
- 12 ヒューズ配線層
- 13 フォトリソグロブパターン
- 14 凹部
- 14a 空洞
- 16 レーザ光

(6)

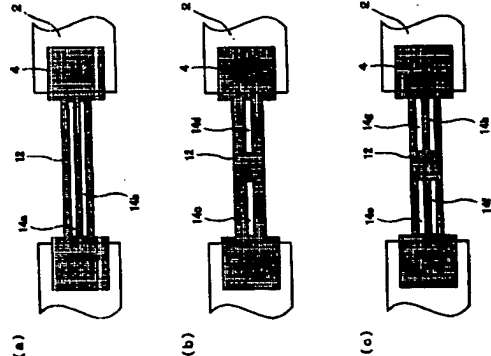
【図1】



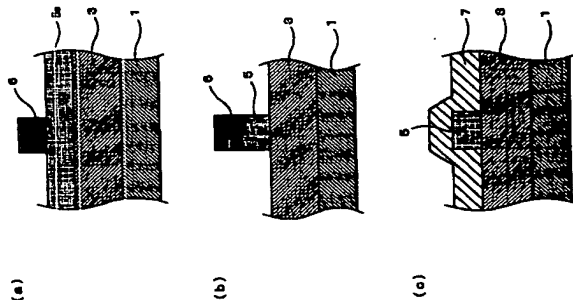
【図2】



【図4】

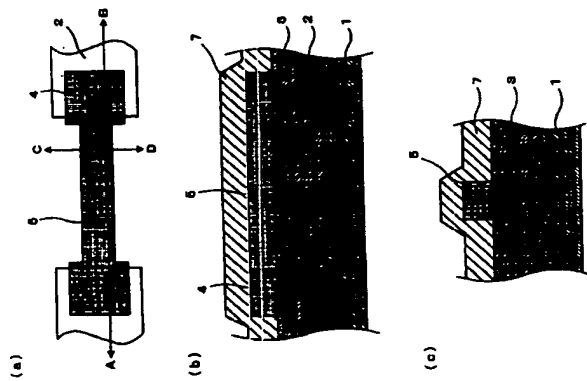


【図6】



(7)

【図5】



フロントページの続き

Fターム(参考) 5F033 HH09 HH33 MM22 PP16 QQ16  
 RR04 RR06 RR15 SS02 SS15  
 TT11 TT16  
 5F038 AY03 AV16 CA02 CD15 CD18  
 DP05 EZ11 EZ15 EZ20  
 5F061 BR14 FF02 FF27 FF32 FF34  
 FF43